

DIALOG(R) File 352: Derwent WPI:
(c) 2003 Thomson Derwent. All rts. reserv.

015154155 - image available
WPI Acc No: 2003-214682/200321
XRAM Acc No: C03-055045
XRPX Acc No: N03-171305

Wiring for LCD device, has conductive layers with different width, that are laminated in order such that edge portions of conductive layers are tapered

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEMI)
Inventor: KUSUYAMA Y; ONO K; SUZAWA H; YAMAZAKI S
Number of Countries: 005 Number of Patents: 005
Patent Family:

Patent No	Kind	Date	Applicant No	Kind	Date	Week
JP 2002359246	A	20021213	JP 200289262	A	20020327	200321
CN 1378276	A	20021106	CN 2002108075	A	20020327	200321
KR 2002076188	A	20021009	KR 200216680	A	20020327	200321
US 20030054653	A1	20030320	US 200299972	A	20020319	200323
TW 536781	A	20030611	TW 2002105779	A	20020325	200374

Priority Applications (No Type Date): JP 200191192 A 20010327

Patent Details:

Patent No	Kind	Lang	Pg	Main IPC	Filing Notes
JP 2002359246	A		35	H01L-021/32B5	
CN 1378276	A			H01L-021/52	
KR 2002076188	A			G02F-001/1345	
US 20030054653	A1			H01L-021/311	
TW 536781	A			H01L-021/768	

Abstract (Basic): JP 2002359246 A

NOVELTY - Conductive layers (18b-20b) with different width, are laminated in order, such that edge portions of the conductive layers are tapered.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the following:

- (1) Wiring production method;
- (2) Wiring board; and
- (3) Wiring board production method.

USE - In wiring board (claimed) used in electro-optical device such as active-matrix type LCD device, active-matrix EC display device and active-matrix type light emitting device used in electronic device such

as personal computer, DVD player and CD player.

ADVANTAGE - Operating characteristic and reliability of the semiconductor device in the LCD device, are improved.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the wiring. (Drawing includes non-English language text).
Conductive layers (18b-20b)

pp: 35 DwgNo 1/22

Title/Terms: WIRE; LCD; DEVICE; CONDUCTING; LAYER; WIDTH; LAMINATE; ORDER;
EDGE; PORTION; CONDUCTING; LAYER; TAPER

Derwent Class: L03; P81; T04; U14; W03

International Patent Class (Main): G02F-001/1345; H01L-021/311;

H01L-021/3205; H01L-021/768; H01L-023/65

International Patent Class (Additional): G02F-001/135; G02F-001/1343;

G02F-001/1368; H01L-021/20; H01L-021/28; H01L-021/60; H01L-023/485;

H01L-029/786; H05K-001/00; H05K-003/46

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPI0

(c) 2003 JPO & JAPI0. All rts. reserv.

07490728 **image available**

WIRING AND MANUFACTURING METHOD THEREFOR, AND CIRCUIT BOARD AND
MANUFACTURING METHOD THEREFOR

PUB. NO.: 2002-359246 [JP 2002359246 A]

PUBLISHED: December 13, 2002 (20021213)

INVENTOR(s): YAMAZAKI SHUNPEI

SUZAWA HIDEOMI

ONO KOJI

KUSUYAMA YOSHIHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2002-089262 [JP 20022089262]

FILED: March 27, 2002 (20020327)

PRIORITY: 2001-091192 [JP 200191192], JP (Japan), March 27, 2001
(20010327)

INTL CLASS: H01L-021/3205; G02F-001/1343; G02F-001/1368; H01L-021/28;
H01L-021/28; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide a wiring capable of dealing with the increase in the area of a pixel part by using a material having a low resistance and to provide a circuit board.

SOLUTION: The wiring comprises a laminated structure of a first conductive layer, having a first width and made of an alloy containing one type or a plurality of types of elements, selected from the group consisting of W and Mo or containing the elements as the main component or a compound as a first layer, a second conductive layer having a second width narrower than the first width, having a low resistance and made of an alloy containing Al as the main component or a compound as a second layer, and a third conductive layer having a third width narrower than the second width and containing Ti as the main component or a compound as a third layer. With the thus constitution, the wiring can fully deal with the increase in the area of the pixel part. A sectional shape of the end of at least the second conductive layer is set as a tapered shape. By forming it into such a shape, coverage can be made proper.

• COPYRIGHT: (C) 2003, JPO

(51) Int. Cl.	識別記号	F I	チーロード (参考)
H01L 21/306		G02F 1/136	
G02F 1/136S		1/136S	
H01L 21/20		H01L 21/20	
21/20		21/20	301A
301		21/20	A
(21) 出願番号	特願2002-89262(P2002-89262)	(71) 出願人	000153878
(22) 出願日	平成14年3月27日 (2002.3.27)	(72) 発明者	株式会社半導体エネルギー研究所 神奈川県厚木市長谷399番地
(31) 優先権主張番号	特願2001-91192(P2001-91192)	(72) 発明者	山崎 寿平 神奈川県厚木市長谷399番地 株式会社半 導体エネルギー研究所内
(32) 優先日	平成13年3月27日 (2001.3.27)	(72) 発明者	須賀 英三 神奈川県厚木市長谷399番地 株式会社半 導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)	(72) 発明者	小野 孝雄 神奈川県厚木市長谷399番地 株式会社半 導体エネルギー研究所内

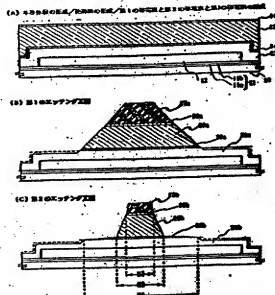
最終頁に続く

(54) 発明の名称 配線およびその作製方法、並びに配線基板およびその作製方法

(57) 要約

【課題】 低抵抗な材料を用いることにより、両面部の大幅低化に対応し得る配線並びに配線基板を提供することを目的とする。

【解決手段】 本発明における配線は、第1の層を有し、かつ、WまたはMoから選ばれた一種または複数種の元素、または前記元素を主成分とする合金若しくは化合物からなる第1の導電層を第1層とし、前記第1の層より狭い第2の層を有し、かつ、Alを主成分とする合金若しくは化合物からなる低抵抗な第2の導電層を第2層とし、前記第2の層より狭い第3の層を有し、かつ、Tiを主成分とする合金若しくは化合物からなる第3の導電層を第3層とする積層構造であるとする。このような構成にすることで、両面部の大幅低化に十分対応でき得る。また、少なくとも第2の導電層の両端における断面形状はテーパー形状であるとする。このような形状にすることで、カバレッジを良好なものとすることができ得る。



【特許請求の範囲】

【請求項1】 第1の層を有する第1の導電層を第1層とし、前記第1の層より狭い第2の層を有する第2の導電層を第2層とし、前記第2の層より狭い第3の層を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線。

【請求項2】 請求項1において、前記第1の導電層は、WまたはMoから選ばれた一種または複数の元素、または、WまたはMoから選ばれた一種または複数の元素を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項3】 請求項1において、前記第2の導電層は、Alを主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項4】 請求項1において、前記第3の導電層は、Tiを主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項5】 請求項1乃至4のいずれか一項において、前記第2の導電層は前記第1の導電層、前記第3の導電層および絶縁膜に覆われており、前記絶縁膜と被する領域は酸化していることを特徴とする配線。

【請求項6】 請求項1乃至5のいずれか一項において、前記配線は、液晶表示装置または発光装置の配線であることを特徴とする配線。

【請求項7】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の層を有する第1の導電層と、第2の層を有する第2の導電層と、第3の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の層を有する第2の導電層と、前記第3の層を有する第3の導電層とをエッチングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層と、第6の層を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線の作製方法であって、前記第4の層を有する第1の導電層または前記第5の層を有する第2の導電層または前記第6の層を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

【請求項8】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエッチングして、前記第1の導電層と、第1の層を有する第2の導電層と、第2の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエッチングして、第3の層を有する第1の導電層と、前記第1の層を有する第2の導電層と、前記第2の層を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の層を有する第2の導電層および前記第2の層を有する第3の導電層をエッチングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層と、第6の層を有する第3の導電層との積層からなる第4の形状の導電層を形成する配線の作製方法であって、前記第4の層を有する第1の導電層または前記第5の層を有する第2の導電層または前記第6の層を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

【請求項9】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の層を有する第1の導電層と、第2の層を有する第2の導電層と、第3の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の層を有する第2の導電層と、前記第3の層を有する第3の導電層とをエッチングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層と、第6の層を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第3の形状の導電層にプラズマ処理を行う配線の作製方法であって、

前記第4の層を有する第1の導電層または前記第5の層を有する第2の導電層または前記第6の層を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

【請求項10】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエッチングして、前記第1の導電層と、第1の層を有する第2の導電層と、第2の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエッチングして、第3の層を有する第1の導電層と、前記第1の層を有する第2の導電層と、前記第2の層を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の層を有する第2の導電層および前記第2の層を有する第3の導電層をエッチングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層と、第6の層を有する第3の導電層との積層からなる第4の形状の導電層を形成し、

前記第4の形状の導電層にプラズマ処理を行う配線の作製方法であって、前記第4の層を有する第1の導電層または前記第5の層を有する第2の導電層または前記第6の層を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

の導電層または前記第6の層を有する第3の導電層の端部における断面形状は、ターバー形状であることを特徴とする配線基板の作製方法。

【請求項11】 請求項7乃至10のいずれか一項において、前記第1の導電層は、WまたはMoから選ばれた一種または複数種の元素、または、WまたはMoから選ばれた一種または複数種の元素を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項12】 請求項7乃至10のいずれか一項において、前記第2の導電層は、Alを主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項13】 請求項7乃至10のいずれか一項において、前記第3の導電層は、Tiを主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項14】 請求項9または請求項10において、前記プラズマ処理は酸素もしくは酸素を主成分とした気体、またはH₂Oを用いて行われることを特徴とする配線の作製方法。

【請求項15】 絶縁基板と、配線とを有する配線基板において、前記配線は、第1の層を有する第1の導電層を第1層とし、前記第1の層より狭い第2の層を有する第2の導電層を第2層とし、前記第2の層より狭い第3の層を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、ターバー形状であることを特徴とする配線基板。

【請求項16】 請求項15において、前記第1の導電層は、WまたはMoから選ばれた一種または複数種の元素、または、WまたはMoから選ばれた一種または複数種の元素を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項17】 請求項15において、前記第2の導電層は、Alを主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項18】 請求項15において、前記第3の導電層は、Tiを主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項19】 請求項15乃至18のいずれか一項において、前記第2の導電層は前記第1の導電層、前記第3の導電層および絶縁膜に覆われており、前記絶縁膜と接する領域は酸化していることを特徴とする配線基板。

【請求項20】 請求項20乃至19のいずれか一項において、前記配線基板を用いて、液晶表示装置または発光装置が作製されたことを特徴とする配線基板。

【請求項21】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の層を有する第1の導電層と、第2の層を有する第2の導電層と、第3の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の層を有する第2の導電層と、前記第3の層を有する第3の導電層とをエッチングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層と、第6の層を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線基板の作製方法であって、

前記第4の層を有する第1の導電層、または前記第5の層を有する第2の導電層、または前記第6の層を有する第3の導電層の端部における断面形状は、ターバー形状であることを特徴とする配線基板の作製方法。

【請求項22】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエッチングして、前記第1の導電層と、第1の層を有する第2の導電層と、第2の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエッチングして、第3の層を有する第1の導電層と、前記第1の層を有する第2の導電層と、前記第2の層を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の層を有する第2の導電層および前記第2の層を有する第3の導電層をエッチングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層と、第6の層を有する第3の導電層との積層からなる第4の形状の導電層を形成する配線基板の作製方法であって、

前記第4の層を有する第1の導電層、または前記第5の層を有する第2の導電層、または前記第6の層を有する第3の導電層の端部における断面形状は、ターバー形状であることを特徴とする配線基板の作製方法。

【請求項23】 絶縁表面上に第1の導電層を形成し、前記第1の導電層上に第2の導電層を形成し、前記第2の導電層上に第3の導電層を形成し、前記第1乃至第3の導電層にエッチングを行って、ターバーを有する導電層を形成し、前記ターバー部を有する導電層にプラズマ処理を行うことを特徴とする配線基板の作製方法。

【請求項24】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の層を有する第1の導電層と、第2の層を有する第2の導電層と、第3の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の層を有する第2の導電層と、前記第3の層を

有する第3の導電層とをエンタングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層と、第6の層を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第3の形状の導電層にプラズマ処理を行う配線基板の作製方法であって、

前記第4の層を有する第1の導電層、または前記第5の層を有する第2の導電層、または前記第6の層を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線基板の作製方法、

【請求項25】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエンタングして、前記第1の導電層と、第1の層を有する第2の導電層と、第2の層を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエンタングして、第3の層を有する第1の導電層と、前記第1の層を有する第2の導電層と、前記第2の層を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の層を有する第2の導電層および前記第2の層を有する第3の導電層をエンタングして、第4の層を有する第1の導電層と、第5の層を有する第2の導電層、第6の層を有する第3の導電層との積層からなる第4の形状の導電層を形成し、

前記第4の形状の導電層にプラズマ処理を行う配線基板の作製方法であって、

前記第4の層を有する第1の導電層、または前記第5の層を有する第2の導電層、または前記第6の層を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線基板の作製方法、

【請求項26】 請求項2乃至25のいずれか一項において、前記第1の導電層は、WまたはMoから選ばれた一種または複数種の元素、または、WまたはMoから選ばれた一種または複数種の元素を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法、

【請求項27】 請求項2乃至25のいずれか一項において、前記第2の導電層は、Alを主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法、

【請求項28】 請求項2乃至25のいずれか一項において、前記第3の導電層は、Tiを主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法、

【請求項29】 請求項2乃至25のいずれか一項において、前記プラズマ処理は酸素若しくは酸素を主成分とした気体、またはH₂Oを用いて行われることを特徴とする配線基板の作製方法、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜技術を用いて形成される配線およびその作製方法に関する。また、配線基板およびその作製方法に関する。なお、本明細書において配線基板とは、薄膜技術を用いて形成される配線を有するガラス等の絶縁基板、あるいは各種基板を指す。

【0002】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはIC（Integrated Circuit）や電気光学装置のような電子デバイスに広く応用され、特に画素表示装置のスイッチング素子として開発が進められている。

【0003】従来より、画素表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高画質な画素が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになっている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と対向電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に形成された液晶層の光学特性が行われ、この光学特性が表示パターンとして観察者に認識される。

【0004】このようなアクティブマトリクス型の液晶表示装置の用途は広がっており、画面サイズの大幅増大とともに高画質化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【0005】

【発明が解決しようとする課題】上記TFTの配線としてAl（アルミニウム）を用いてTFTを作製した場合は、熱処理によってヒロックやウイスガー等の突起物の形成や、Al原子の絶縁膜や活性領域、特にチャネル形成領域への拡散により、TFTの動作不良やTFTの電気的特性の低下を引き起こす場合がある。

【0006】そこで、熱処理に耐えられる金属材料、代表的には高い融点を有している金属材料、例えば、W（タングステン）やMo（モリブデン）を用いることが考えられる。しかしながら、これらの元素の低抵抗率はAlと比較して非常に高い。（表1）

【0007】

【表1】

配線材料	抵抗率 [$\mu\Omega\text{cm}$]
A1	2
W	10~20
Mo	15~26

【0008】そのため、画面サイズが大面積化する、配線経路が問題になってくる。そこで、配線を太くして抵抗を下げる方法が考えられる。しかしながら、配線の幅を広げると、設計の自由度の低下および画面部における開口部の低下が問題になる。また、配線の厚みを厚くすると、配線が立体的交差する箇所ショートしやすくなったり、配線の段差部でのカバレッジが悪くなる。

【0009】そこで、本発明は、上記の問題を解決し、大面積化に対応できる配線およびその作製方法、並びに配線基板およびその作製方法を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明は、配線構造を、第1層として、WまたはMoから選ばれた一種または複数種、または、WまたはMoから選ばれた一種または複数種を主成分とする導電膜を用い、第2層としてA1を主成分とする低抵抗な導電膜を用い、第3層としてT1を主成分とする導電膜を用いた積層構造とすることによって、配線の低抵抗化を図るものである。本発明において、A1を主成分とする低抵抗な導電膜を他の導電膜で挟むことで、熱処理によるヒックやクイスカー等の突起物の形成を防ぐことができる。また、第1層および第2層が高融点の導電膜であるためバリアメタルとして機能し、A1原子が絶縁膜や活性領域へ拡散することを防ぐことが可能となる。(表2) また、本発明の配線に絶縁膜を形成し、該配線とのコンタクトを形成する際、第3層が前記絶縁膜のエッチングにおけるストッパーとして機能するため、コンタクト形成が容易になる。また、A1は、透明導電膜として代表的なITO膜と接触すると、電阻を低くし、コンタクト抵抗値が高くなるが、第3層としてT1を主成分とする導電膜で形成するため、コンタクト抵抗値が良好なものとなる。

【0011】

【表2】

配線材料	組成 (%)
A1	66.0、4
W	33.87
Mo	26.10
T1	16.76

【0012】さらに、本発明において、少なくともA1を主成分とする低抵抗な導電膜で形成される第2層の端部はテーパー形状であるとする。テーパー形状とすることで、段差部でのカバレッジが向上する。なお、本明細書においてテーパー角とは、水平面と材料層の側面とがなす角を指している。また、本明細書中で便宜上、テーパー角を有している側面をテーパー形状と呼び、テーパー形状を有している部分をテーパー部と呼ぶ。

【0013】本明細書で開示する発明の構成は、第1の幅を有する第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパー形状であることを特徴としている。

【0014】上記構成において、前記配線は、Wを主成分とする合金もしくは化合物からなる導電層(第1層)と、A1を主成分とする合金もしくは化合物からなる導電層(第2層)と、T1を主成分とする合金もしくは化合物からなる導電層(第3層)との積層構造を有していることを特徴としている。または、前記配線は、Moを主成分とする合金もしくは化合物からなる導電層(第1層)と、A1を主成分とする合金もしくは化合物からなる導電層(第2層)と、T1を主成分とする合金もしくは化合物からなる導電層(第3層)との積層構造を有していることを特徴としている。例えば、第1層として、W、WN、Mo等を用いることができ、第2層として、A1、A1-Si (2wt%)、A1-Ti (1wt%)、A1-Nd (1wt%)、A1-Sn (0.18wt%)等を用いることができ、第3層として、T1、Ti-N等を用いることができる。これはスパッタ法、プラズマCVD法等によって形成することができる。また、第2層において、A1-Si等を形成するには、Si等の元素がA1に溶けることのできる限界(固溶限度)があり、固溶度が高いほど抵抗率も高くなり、耐熱性も劣化する。そのため、配線に適した抵抗率や耐熱性、Si等の元素の固溶限度との兼ね合いによって、A1中に占めるSi等の割合は実施者が適宜決定すればよい。

【0015】表3に、配線を形成する各導電層における抵抗率の例を示す。表3から、A1を主成分とする合金もしくは化合物からなる導電層は他の導電層に比べて非常に低抵抗であることが分かる。

【0016】

【表3】

記録材料		厚さ μm
Wを主成分とする材料	W	10~20
	WM	150~250
A1を主成分とする材料	A1	3
	A1-S1 (2wt%)	3.5~4.5
	A1-T1 (1wt%)	0~10
	A1-Nd (1wt%)	7~10
	A1-Sc (0.1~1wt%)	5.5~6.0
T1を主成分とする材料	T1	50~100
	T1M	150~250

【0017】耐熱性および導電性を有する第1の導電層、第2の導電層および第3の導電層を高速でかつ精度良くエッチングして、さらに端部をテーパ形状とすることができるとある。どのようなエッチング方法でも適用できる。その中でも、特に高密度プラズマを用いたドライエッチング法を適用するのが望ましい。高密度プラズマを得る手法にはマイクロ波、ヘリコン波 (Helicon Wave Plasma: HWP)、誘導結合プラズマ (Inductively Coupled Plasma: ICP) を用いたエッチング装置が適している。例えば、ECR (Electron Cyclotron Resonance) エッチング装置、SWP (Surface Wave Plasma) エッチング装置、ICPエッチング装置、同様の平行平板誘導電場エッチング装置などを用いればよい。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の大型化にも対応できる。

【0018】例えば、プラズマ処理を高精度に行うための手段として、高周波電力をインピーダンス整合器を介して被処理体の両端を状コイル部分に並列に接続されてあるマルチスパイラルコイルに印加してプラズマを形成する方法を用いる。さらに、被処理物を保持する下部電極にも、到達高周波電力を印加しバイアス電圧を付加する構成としている。

【0019】このようなマルチスパイラルコイルを適用したICPを用いたエッチング装置を用いると、テーパ部の角度 (テーパ角) は基板側にかけるバイアス電力によって大きく変化を示し、バイアス電力をさらに高め、また、圧力を変化させることでよりテーパ部の角度を5~85°まで変化させることができる。

【0020】また、第2層および第3層におけるエッチングに用いるガスは塩素系ガスが望ましい。例えば、 SiCl_4 、 HCl 、 CCl_4 、 BCl_3 、 Cl_2 等を用いることができる。

【0021】第1層におけるエッチングに用いるガスはフッ素系ガスが望ましい。例えば、 NF_3 、 CF_4 、 CaF_2 、 SF_6 等を用いることができる。また、第1層におけるエッチングはフッ素系ガスと同時に塩素系ガスも投入すると、エッチングレートが向上するので望ましい。

【0022】また、上記の導電層を用いた積層構造からなる記録とすることで、ICPエッチング法等を用い

て、記録の端部をテーパ形状とすることで、後工程で形成される導電のバレージを良好なものとすることができるとある。

【0023】上記構成において、前記第1の導電層の端部はテーパ形状であることが望ましい。そして、そのテーパ形状を成している部分 (テーパ角) は、第3の導電層と重ならない領域であり、その領域の端部は、第1の端から第2の端を直引いた上である。また、第2の導電層はテーパ形状とし、第1の導電層におけるテーパ部のテーパ角に比べて大きいとするのが望ましい。また、第3の導電層におけるテーパ部のテーパ角とほとんど同じにするのが望ましい。

【0024】また、本発明を実現するための構成は、図1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の端を有する第1の導電層と、第2の端を有する第2の導電層と、前記第3の端を有する第3の導電層とを形成し、前記第2の端を有する第3の導電層とをエッチングして、第4の端を有する第1の導電層と、第5の端を有する第2の導電層と、第6の端を有する第3の導電層とを形成し、前記第4の端を有する第1の導電層または前記第5の端を有する第2の導電層における前部形状は、テーパ形状であることを特徴としている。

【0025】上記構成において、前記第1層、Wを主成分とする合金もしくは化合物からなる導電層 (第1層) と、A1を主成分とする合金もしくは化合物からなる導電層 (第2層) と、T1を主成分とする合金もしくは化合物からなる導電層 (第3層) との積層構造を有していることを特徴としている。また、前記第1層、Mgを主成分とする合金もしくは化合物からなる導電層 (第1層) と、A1を主成分とする合金もしくは化合物からなる導電層 (第2層) と、T1を主成分とする合金もしくは化合物からなる導電層 (第3層) との積層構造を有し

TFTのゲート電極を備えた配線基板について説明す
る。

【0037】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板、石英基板、シリコン基板、プラスチック基板、金属基板、可溶性基板などを用いることができる。前記ガラス基板としては、バクウムボウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板が挙げられる。また、可溶性基板とは、PET、PES、PEN、アクリルなどからなるフィルム状の基板のことであり、可溶性基板を用いて下地や実装体を作製すれば、量産化が見込まれる。可溶性基板の表面、または裏面および裏面にアルミニウム(Al)、銅(Cu)、銀(Ag)など、炭素系(DLC)など、シリコン系(シリコン)など、SINなどのバリア層を容易または容易に形成すれば、耐久性などが向上する。で好ましい。

【0038】また、下地地盤膜11としては、酸化環化反応、立化反応または酸化立化環化反応などの地盤膜から成る下地膜11を形成する。ここでは下地膜11として2層構造(11a、11b)を用いた例を示したが、炭素地盤膜の単層膜または2層以上積層させた構造を用いてもよい。なお、下地地盤膜を形成しなくてもよい。

【0.03 g】次いで、土地炭膜上に半導体膜2を形成する。半導体膜1とは、非晶質炭化水素を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法）により形成した。公知の結晶化法（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法）を行って得られた結晶質炭化水素膜を第1のポドトラスを用いて所望の形状にパターンニングして形成する。この半導体膜2の厚さは20〜80 nm（好ましくは30〜60 nm）の厚さで形成する。結晶質半導体膜の材料に限定しないが、例えば、結晶化された炭素グラフェン（SiGe）合金など形成するとよい。

『0040』次いで、半導体層12を覆う絶縁膜13を形成する。絶縁膜13はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。

【0041】次いで、鉄線13上に厚さ20〜100nmの第1の導電膜14と厚さ100〜800nmの第2の導電膜15とを順次20〜100nmの第3の導電膜16とを層形成する。ここでは、スパッタ法、プラズマCVD法等を用い、鉄線と接する第1の導電膜としては、フェルニ形成領域への拡散を防ぐためにW、Moを主成分とする導電膜(Fe、W、Mo等)を用いばよい。また、第2の導電膜として、Alを主成分とする低抵抗な導電膜(Al、Al-Ti、Al-Cr、Al-Si等)を用いばよい。また、第3の導電膜としては、コンタクト抵抗の低いTi、Ti-Ti、

例) 主成分と示す波長を用いればよい。

[0042] 次いで、第2のフォトリソグラフィ工程でレジストマスク17cを形成し、ICPエッチング装置を用いて第1のエッチング工程を行って、この第1のエッチング工程によって、第1乃至第3の導電層18a～18cをエッチングして、図1(C)に示すように、始めからテーパ形状を有する部材(テーパ側)を有する開口電阻9c～9eとを形成。

[0043] 次いで、第2のフォトリソグラフィ工程で形成したレジストマスク17dを除去した後、ICPエッチング装置を用いて第2のエッチングを行う。この第2のエッチング工程によって、第2の導電層18aおよび第3の導電層18bを選択的にエッチングして図1(C)に示すような第2の導電層19bおよび第3の導電層18bを形成する。なお、この第2のエッチングの際、レジストマスク、第1の導電層、及び接地面はあらかじめエッチングされて、それぞれレジストマスク17b、第1の導電層20b、地盤層20cが形成される。第1の導電層20bは、第1のGND(W1)を形成してあり、第2の導電層19bは、第2のGND(W2)を形成しており、第3の導電層18bは、第3のGND(W3)を形成する。なお、第1のGNDは第2のGNDより大きく、第2のGNDは第3のGNDより大きく、第3のGNDは第1のGNDより小さく、

【0044】なお、ここで、絶縁部13の配線は、配線14に
 えるために、2回のエッチング（第1のエッチングエッチ
 と第2のエッチングエッチ）を行った後、図1（c）に示
 すような電圧構造（第3の導電層18と第2の導電層1
 19と第1の導電層20との積層）が形成されるので
 ある。特に2回に規定される、エッチングであってもよい。

【0045】このように本発明ではゲート配線が低抵抗な等電圧で形成されているため、画素部の面積が大幅に増加しても十分に駆動させることができる。もちろん、本発明はゲート配線だけでなく、各配線に用いることのできる、基板上にこれらの配線が形成された配線基板を製作することができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性向上に寄与することが可能である。

【0046】以上の構成でなる本発明について、以下に示す実施例をもってさらに詳細な説明を行うことをする。

【実施例】以下に本発明の実施例を説明するが、図にこれらの実施例に限定されないことはもちろんである。

【0048】【実施例1】本発明を利用したソーラ集光型太陽電池を構成する太陽電池の製造工程を以下に説明する。

【0049】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板や石英基板やシリコン基板、金属基板または可撓性基板の表面に絶縁膜を

形成したものをを用いても良い。また、処理温度に關する耐熱性を有するプラスチック基板を用いてもよい。本実施例では、コーニング社製1737ガラス基板を用いた。

【0050】また、下地絶縁膜11としては、酸化珪素膜、酸化珪素膜または酸化珪素膜などの絶縁膜から成る下地膜11を形成する。ここでは下地膜11として2層構造(11a、11b)を用いた例を示したが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。本実施例では、膜厚50nmの酸化珪素膜11a(組成比S1=32%、O=27%、N=24%、H=17%)を形成した。次いで、膜厚100nmの酸化珪素膜11b(組成比S1=32%、O=59%、N=7%、H=2%)を形成した。

【0051】次いで、下地絶縁膜上に半導体層12を形成する。半導体層12は、非晶質構造を有する半導体層を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体層を第1のフォトマスクを用いて所望の形状にパターンニングして形成する。この半導体層12の厚さは25~80nm(好ましくは20~60nm)の厚さで形成する。結晶質半導体層の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム(SiGe)合金などで形成する。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改修するためのレーザアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターンニング処理によって、半導体層12を形成した。

【0052】次いで、半導体層12を覆う絶縁膜13を形成する。絶縁膜13はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとすると珪素を含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。本実施例では、プラズマCVD法により110nmの厚さで酸化珪素膜13(組成比S1=32%、O=59%、N=7%、H=2%)を形成した。

【0053】次いで、絶縁膜13上に膜厚20~100nmの第1の導電膜14と膜厚100~800nmの第2の導電膜15と膜厚20~100nmの第3の導電膜16とを積層形成する。スパッタ法等により、絶縁膜13に接する第1の導電膜としては、チタル形成膜への保護を防ぐためにWまたはMoを主成分とする導電膜(W、W₂O₃、Mo等)を用いられたい。また、第2の

導電膜としては、Alを主成分とする低抵抗な導電膜(Al、Al-Ti、Al-Se、Al-Si等)を用いられたい。また、第3の導電膜としては、コンタクト抵抗の低いTiを主成分とする導電膜(Ti、Ti₂N₃等)を用いられたい。本実施例では、スパッタ法により、膜厚30nmのW膜からなる第1の導電膜14と、膜厚500nmのAl-Ti膜からなる第2の導電膜15(15a、膜厚50nmのTi膜からなる第3の導電膜15b)とを積層形成した。第2の導電膜15のTiの割合は1%であり、ターゲットにAl-Tiを用いて形成した。

【0054】次いで、第1のエッチング処理を行う。第1のエッチング処理では第1のエッチング条件及び第3のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma)：低導結合型プラズマ)エッチング法を用い、エッチング用ガスにBCl₃とCl₂とO₂とを用い、それぞれのガス流量比を65:10:5(0ccm)とし、1.8Paの圧力でコイル型の電極に450WのRF(13.56MHz)電力を投入してプラズマを生成して147秒のエッチングを行った。ここでは、下地絶縁膜11の第1のICPを用いたドライエッチング装置(株式会社E-45-10ICP)を用いた。基板側(基板スレーブ)にも5000のRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第1のエッチング条件でのレジストに対するエッチング速度は2.8nm/minであり、Al-Tiに対するエッチング速度は33.8nm/minであり、Wに対するエッチング速度は133.8nm/minである。なお、Tiのエッチング速度はAl-Tiとほとんど同じである。図23に示すように、この第1のエッチング条件によりAl-Ti膜およびTi膜をエッチングして、始めのターゲット形状である第2の導電膜28および第3の導電膜29を露出させた。また、この第1のエッチング条件によって、Al-Ti膜およびTi膜のターゲット角は、約45°となる。なお、Wに対するエッチング速度はレジスト、Ti、Al-Ti膜に比べて十分小さいため、第1の導電膜15は主として表面のみがエッチングされ、第2の導電膜29および第3の導電膜28とはならない状態が得られる。

【0055】この後、レジストからなるマスク17を除去せずに第2のエッチング条件に設定し、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25:25:10(0ccm)とし、1.8Paの電力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して30秒のエッチングを行った。基板側(基板スレーブ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂とO₂を混合した第2のエッチング条件ではW膜のみエッチングされる。第2のエッチング条件でのWに対するエッチング速度は134.0nm/min

17

m/minである。なお、ゲート絶縁膜上に及ぼすことなくエッチングするためには、10〜20%程度の割合でエッチング時間を増加させると良い。

【0056】このように、第2のエッチング条件による第1の導電層30のエッチングは、第1のエッチング条件により形成される第2の導電層29および第3の導電層28（およびレジスト27）をマスクとしている。そのため、第2のエッチング条件により形成される第1の導電層20aの幅は、第1のエッチング条件によって制御すればよい。このような段差を低くすることにより、不純物領域となる領域の幅を容易に制御することができる。

【0057】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の幅がテーパ形状となる。このテーパ部の角度は15〜45°とすればよい。こうして、第1のエッチング処理により第1の導電層20aと第2の導電層19aと第3の導電層18aからなる第1の形状の導電層を形成する。ここでチャネル長方向の第1の導電層の幅は、上記実施の形態に示したW1に相当する。21aはゲート絶縁膜20の厚度でエッチングされる領域は20〜50nm程度エッチングされ薄くなった領域が形成される。なお、ここで第1のエッチング処理は、実施の形態に記載した第1のエッチング工程（図1（B））に相当する。このようにして形成された第1の形状の導電層のSEM写真を図2（A）に示す。

【0058】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチン

グ用ガスにBCl₃とCl₂とを用い、それぞれのガス流量比を20:60（sccm）とし、1.2Paの圧力でコイル型の電極に600WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（原料ステップ）にも100WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理では、A1-T1膜およびT1膜が選択的にエッチングされる。この第2のエッチングによりA1-T1膜およびT1膜のテーパ角は80°となった。この第2のエッチング処理により第2の導電層19bおよび第3の導電層18bを形成する。一方、第1の導電層20aは、第2の導電層や第3の導電層に比べてほとんどエッチングされず、第1の導電層20bを形成する。なお、ここで第2のエッチング処理は、実施の形態に記載した第2のエッチング工程（図1（C））に相当する。このようにして、チャネル長方向の第1の導電層の幅がW1、第2の導電層の幅がW2、第3の導電層の幅がW3である第2の形状の導電層が形成された。第2の形状の導電層のSEM写真を図2（B）に示す。

【0059】また、表4に、A1-T1膜のエッチングレート（膜内ばらつきを考慮し、A1-T1膜の下層に形成される膜のA1-T1膜に対するエッチングレートの比が2〜10であった場合に、エッチングされる下層膜の膜厚（単位はnm）を計算した結果を示す。このとき、A1-T1膜の膜厚を50.0nmとし、膜内で±6%のばらつきがあるものとして計算した。

〔6.0%〕

〔表4〕

A1-T1の膜のばらつき(%)	T1膜に対するエッチングレートの比									
	1	2	3	4	5	6	7	8	9	10
0	300.0	200.0	150.0	120.0	100.0	85.7	75.0	66.7	60.0	54.5
1	299.9	199.9	149.9	119.9	99.9	85.6	74.9	66.6	59.9	54.4
2	299.6	199.6	149.6	119.6	99.6	85.5	74.8	66.5	59.8	54.3
3	299.1	199.1	149.1	119.1	99.1	85.4	74.7	66.4	59.7	54.2
4	298.4	198.4	148.4	118.4	98.4	85.3	74.6	66.3	59.6	54.1
5	297.5	197.5	147.5	117.5	97.5	85.2	74.5	66.2	59.5	54.0
6	296.4	196.4	146.4	116.4	96.4	85.1	74.4	66.1	59.4	53.9
7	295.1	195.1	145.1	115.1	95.1	85.0	74.3	66.0	59.3	53.8
8	293.6	193.6	143.6	113.6	93.6	84.9	74.2	65.9	59.2	53.7
9	291.9	191.9	141.9	111.9	91.9	84.8	74.1	65.8	59.1	53.6
10	290.0	190.0	140.0	110.0	90.0	84.7	74.0	65.7	59.0	53.5
11	287.9	187.9	137.9	107.9	87.9	84.6	73.9	65.6	58.9	53.4
12	285.6	185.6	135.6	105.6	85.6	84.5	73.8	65.5	58.8	53.3
13	283.1	183.1	133.1	103.1	83.1	84.4	73.7	65.4	58.7	53.2
14	280.4	180.4	130.4	100.4	80.4	84.3	73.6	65.3	58.6	53.1
15	277.5	177.5	127.5	97.5	77.5	84.2	73.5	65.2	58.5	53.0
16	274.4	174.4	124.4	94.4	74.4	84.1	73.4	65.1	58.4	52.9
17	271.1	171.1	121.1	91.1	71.1	84.0	73.3	65.0	58.3	52.8
18	267.6	167.6	117.6	87.6	67.6	83.9	73.2	64.9	58.2	52.7
19	263.9	163.9	113.9	83.9	63.9	83.8	73.1	64.8	58.1	52.6
20	260.0	160.0	110.0	80.0	60.0	83.7	73.0	64.7	58.0	52.5

【0061】表4で示すように、A1-T1膜に対するエッチングレートのばらつきが大きくなるにつれ、エッチングされる膜厚は厚くなり、また、下層膜に対する選択比が上がるにつれてエッチングされる膜厚は薄くなる。この特性を利用すれば、所望の形状の配線を形成することが可能となる。

【0062】このように本発明ではゲート配線が低抵抗な導電層で形成されているため、両端部の面積が大幅増加しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成さ

れている半導体装置の動作特性および信頼性を向上させることが可能である。

【0063】【実施例2】本実施例では、実施例1における第1のエッチング処理のうち、第1のエッチング条件における条件を変えた場合について、図3〜図6を用いて以下に説明する。ここでは、第1のエッチング条件における条件を変えているので、ゲート配線は実施例1における第2の導電層および第3の導電層の2層のみを形成しているが、実施例1における第1の導電層を下層として3層にした場合にも適用できる。

50

【0064】まず、1737ガラス基板10上に、スパッタ法により膜厚200nmの酸化窒化膜33を形成する。次いで、前記酸化膜33上に、スパッタ法により、膜厚500nmのA-T1膜からなる第1の導電膜34と、膜厚100nmのT1膜からなる第2の導電膜35とを積層形成した(図3(A))。

【0065】続いて、第2の導電膜上にレジストを形成して、エッチング処理を行う。このエッチング処理は、実施例1における第1のエッチング条件に相当する。本実施例ではエッチング処理として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、1.2Paの圧力で、エッチング用ガスにBC1₂とC1₂を用いた。そして、それぞれのガス流量比と、コイル型の電極および基板側(試料ステージ)に印加する電力を表5に示すように変化させてエッチングを行った(図3(B))。このエッチング処理により、レジスト、第2の導電膜35および第1の導電膜34はエッチングされ、第2の導電膜35および第1の導電膜38が形成される。また絶縁膜もエッチングされて40に示す形状の絶縁膜となる。

【表5】

条件	ICP (W)	Flow (sccm)	ガス	圧力 (Pa)	電力 (W)
1	100	300	BC1 ₂ :C1 ₂	1.2	240
2	100	300	BC1 ₂ :C1 ₂	1.2	240
3	300	300	BC1 ₂ :C1 ₂	1.2	240
4	500	300	BC1 ₂ :C1 ₂	1.2	240
5	500	300	BC1 ₂ :C1 ₂	1.2	240
6	500	300	BC1 ₂ :C1 ₂	1.2	240
7	500	300	BC1 ₂ :C1 ₂	1.2	240
8	500	300	BC1 ₂ :C1 ₂	1.2	240
9	500	300	BC1 ₂ :C1 ₂	1.2	240

※【0067】表5で示す条件によって得られる導電層をSEMにより15000倍にて観察した形状を図4〜図6に示す。図4(A)は条件1により形成された導電層であり、図4(B)は条件2により形成された導電層であり、図4(C)は条件3により形成された導電層である。また、図5(A)は条件4により形成された導電層であり、図5(B)は条件5により形成された導電層であり、図5(C)は条件6により形成された導電層である。また、図6(A)は条件7により形成された導電層であり、図6(B)は条件8により形成された導電層であり、図6(C)は条件9により形成された導電層である。図4からコイル型の電極に印加する電力が高くなるにつれて、テーパ角が大きくなることから分かる。図6から基板側に印加する電力が高くなるにつれて、テーパ角が大きくなることから分かる。図6からBC1₂のガス流量が大きくなるにつれて、テーパ角が大きくなることから分かる。このように、条件によって得られるテーパ角の角度が変わることがわかる。また、表6に表5で示した条件により得られたエッチングレートを示す。さらに、それぞれの膜に対する選択比を表7に示す。A-T1とWとの選択比が大きな条件で異方性エッチングが可能となり、所望の形状の導電層を形成することができ、

【表6】

【表6】

条件	ICP (W)	Flow (sccm)	ガス	圧力 (Pa)	電力 (W)	エッチングレート (nm/min)	選択比 (A-T1/W)
1	100	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
2	100	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
3	300	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
4	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
5	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
6	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
7	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
8	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
9	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2

【0068】

【表7】

条件	ICP (W)	Flow (sccm)	ガス	圧力 (Pa)	電力 (W)	エッチングレート (nm/min)	選択比 (A-T1/W)
1	100	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
2	100	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
3	300	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
4	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
5	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
6	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
7	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
8	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2
9	500	300	BC1 ₂ :C1 ₂	1.2	240	1.2	1.2

【0070】以上のことから、条件を変えて、所望の形状の導電層を得ることができる。また、面素部の面積が大幅に増加しても配線遅延等の問題が生じることな

く、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

21

【0071】実施例3 本実施例では、実施例1で形成した配線にプラズマ処理を行う場合について、図7を用いて説明する。なお、本明細書中においてプラズマ処理とは、気体をプラズマ化した雰囲気中に試料を曝す処理を指す。

【0072】まず、実施例1にしたがって、図1 (C)の状態を得る。なお、図17 (A)と図1 (C)は同じ状態を示し、対応する部分には同じ符号を用いている。

【0073】そして、形成された配線に酸素もしくは酸素を主成分とする気体、または H_2O を用いてプラズマ処理を行う。(図17 (B)) プラズマ処理は、プラズマ発生装置(プラズマCVD装置、ドライエッチング装置、スパッタ装置等)を用いて、30秒〜20分(好ましくは3〜15分)行なう。さらに、ガスの流量を50〜300 sccm、基板の温度を室温〜200度、RFを100〜2000Wとして処理するのが望ましい。プラズマ処理を行うことで、3層構造からなる導電層のうちA1、またはA1を主成分とする合金もしくは化合物からなる導電層からなる第2の導電層19bが酸化されやすいため、第2の導電層19bにおいて、他の導電層と接しない部分22が酸化される。そのため、ヒロックやウィスカ等の突起物の形成等をさらに低減することが可能となる。

【0074】もちろん、レジスト17bを除去するために、酸素もしくは酸素を主成分とした気体、または H_2O によるアッシングを行えば、第2の導電層における露出部分が酸化されるが、レジスト17bを除去した後にはプラズマ処理を行う方が、十分な酸化膜を形成しやすい。

【0075】このようにして本発明ではゲート配線が低抵抗な導電層で形成されているため、両端面の面積が表面積化しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

【0076】【実施例4】実施例1乃至3とは異なる配線の構造に本発明を適用して配線基板を形成する例について、以下に図7を用いて説明する。

【0077】まず、基板10としては、ガラス基板や石英基板やシリコン基板、金属基板または可溶性基板の表面に絶縁膜を形成したものを用いてもよい。また、処理温度に耐えうる耐熱性を有するプラズマチックを用いてもよい。本実施例では、コーニング社製1737ガラス基板を用いる。

【0078】次いで、基板10上に膜厚20〜100 nmの第1の導電層44と膜厚100〜800 nmの第2の導電層45と膜厚20〜100 nmの第3の導電層46とを積層形成する。ここでは、スパッタ法を用い、絶縁膜と接する第1の導電層としては、基板10からの不純物の拡散を防ぐためにWまたはMoを主成分とする導

電膜を用い、また、第2の導電層としては、A1またはCuを主成分とする低抵抗な導電膜を用い、また、第3の導電層としては、コンタクト抵抗の低いTiを主成分とする導電膜を用い、よい。本実施例では、スパッタ法により、膜厚50 nmのMo膜からなる第1の導電層44と、膜厚500 nmのAl-Ti膜からなる第2の導電層45と、膜厚50 nmのTi膜からなる第3の導電層46とを積層形成する。

【0079】そして、エッチング処理を行う。エッチング処理では第1のエッチング条件及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに BCl_3 と Cl_2 と O_2 とを用い、それぞれのガス流量を65:10:5 (sccm)とし、1.2Paの圧力でコイル型の電極に450WのRF (13.56MHz)の電力を投入してプラズマを生成してエッチングを行う。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置 (Model E645-ICP) を用いた。基板側 (材料ステージ) にも300WのRF (13.56MHz)の電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりA1-Ti膜およびTi膜をエッチングして第1の導電層の端部をアーバー形状とする。また、この第1のエッチング条件によって、A1-Ti膜およびTi膜のアーバー角は、約45°となるが、Moはエッチングされない。

【0080】この後、レジストからなるマスク47を除去せずに第2のエッチング条件に換え、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量を25:25:10 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz)の電力を投入してプラズマを生成してエッチングを行う。基板側 (材料ステージ) にも200WのRF (13.56MHz)の電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 と O_2 を混合した第2のエッチング条件では、Mo膜のみエッチングされる。なお、ゲート絶縁膜10上に反応を誘起することなくエッチングするためには、10〜20%程度の割合でエッチング時間を増加させるがよい。

【0081】上記エッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の強度により第1の導電層及び第2の導電層の端部がアーバー形状となる。このアーバー部の角度は15°〜45°とすればよい。こうして、エッチング処理により第1の導電層50と第2の導電層49と第3の導電層48からなる導電層を形成する。

【0082】次いで、導電層を覆う絶縁膜51を形成する。絶縁膜51はプラズマCVD法またはスパッタ法を用い、厚さを40〜150 nmとして酸素を含む絶縁膜の単層または積層構造で形成する。本実施例では、プラズマCVD法により、110 nmの厚さで酸化窒化珪素膜

29

(組成比S1=32%、O=59%、N=7%、H=2%)で形成する。

【0083】次いで、絶縁膜51上に半導体層52を形成する。半導体層52は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザ結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜をフォトリソグラフィ法を用いて所望の形状にパターンニングして形成する。この半導体層52の厚さは25~300nm(好ましくは30~150nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは硅素または硅素ゲルマニウム(SiGe)合金などで形成すると良い。本実施例では、プラズマCVD法を用いた55nmの非晶質硅素膜を成膜した後、レーザアニール処理を行って結晶質硅素膜を形成する。そして、この結晶質硅素膜をフォトリソグラフィ法を用いたパターニング処理によって半導体層52を形成する。

【0084】このようにして本発明ではゲート配線が低抵抗な導電層で形成されているため、逆スタグ構造のTFTを用いた場合においても、画素部の面積が大幅に減少しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

【0085】【実施例5】本実施例では本発明を利用した配線基板の一例として、アクティブマトリクス基板の作製方法について図8~図11を用いて説明する。なお、本明細書ではCMOS回路を有する駆動回路と、図8に示す。保持容量とを有する画素部を同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

【0086】まず、本実施例ではコーニング社の#759ガラスや#1737ガラスなどに代表されるバクウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板400を用いる。なお、基板400としては、石英基板やシリコン基板、金属基板などとは可燃性基板の表面に絶縁膜を形成したものを採用しても良い。また、本実施例の処理温度に耐える耐熱性を有するプラスチック基板を採用しても良い。

【0087】次いで、基板400上に酸化硅素膜、窒化硅素膜または酸化窒化硅素膜などの絶縁膜からなる下絶縁膜401を形成する。本実施例では下絶縁膜401として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下絶縁膜401の一例としては、プラズマCVD法を用いたSiH₄、N₂H₄、及びN₂Oを反応ガスとして成膜される酸化窒化硅素膜401aを10~200nm(好ましくは50~100nm)形成する。本実施例では、成膜50nmの酸化窒化硅素膜401a(組成比S1=32%、O=27%、

30

N=24%、H=17%)を形成した。次いで、下絶縁膜401の二層目としては、プラズマCVD法を用いたSiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化硅素膜401bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、厚100nmの酸化窒化硅素膜401b(組成比S1=32%、O=59%、N=7%、H=2%)を形成する。

【0088】次いで、下絶縁膜上に半導体膜402~406を形成する。半導体膜402~406は公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により25~300nm(好ましくは30~200nm)の厚さで半導体膜を成膜し、公知の結晶化処理(レーザ結晶化法、RTAや炉アニール法を用いた熱結晶化法、結晶化を助成する金属元素を用いた熱結晶化法等)により結晶化させる。そして、本実施例では、半導体膜を所望の形状にパターンニングして半導体膜402~406を形成する。前記半導体膜としては、非晶質半導体膜や結晶質半導体膜、結晶質半導体膜などがあり、非晶質硅素膜、ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を選択しても良い。本実施例では、プラズマCVD法を用いた55nmの非晶質硅素膜を成膜する。そして、ニッケルを含む溶液を非晶質硅素膜上に保持させ、この非晶質硅素膜に脱水分離(60℃、1時間)を行った後、熱処理(550℃、4時間)を行って結晶質硅素膜を形成する。そして、フォトリソグラフィ法を用いたパターニング処理によって半導体膜402~406を形成する。

【0089】また、レーザ結晶化法で結晶質半導体膜を形成する場合、レーザとして、連続波またはパルス光源の固体レーザまたは気体レーザまたは全固体レーザなどを用いることができる。なお、前記固体レーザとしては連続波またはパルス光源のYAGレーザ、TEAレーザ、YLFレーザ、YALOレーザ、ガラスレーザ、ルビーレーザ、ズルミオンドライフレーザ、Ti:サファイアレーザ等があり、前記気体レーザとしてはパルス光源またはパルス光源のエキシマレーザ、Arレーザ、Krレーザ、CO₂レーザ等があり、前記固体レーザとしてはヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザが挙げられる。これらのレーザを用いる場合には、レーザ光源から放射されたレーザビームをレンズ系で焦点に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実効子が適宜選択するものであるが、パルス光源のエキシマレーザを用いる場合はパルス光源の周波数300Hzとし、レーザエネルギー密度100~1200mJ/cm²、代数的に300~700℃/cm²(好ましくは200~300mJ/cm²)とする。また、パルス光源のYAGレーザを用いる場合にはその2高調波を用いたパルス光源の周波数1~300Hzとし、レーザエネルギー密度を300~1800mJ/cm²、代

23

表的には $3.00 \sim 1.00 \text{ cm}^2/\text{V}$ (好ましくは $3.50 \sim 5.00 \text{ cm}^2/\text{V}$)とすると良い。そして層 $100 \sim 1000 \text{ nm}$ 、例えば 400 nm で露光したレーザ光を基板全面に渡って照射し、この時の露光ビームの重ね合わせ率 (オーバーラップ率) を $50 \sim 99.9\%$ として行う。また、近接露光のレーザを用いるときのエネルギー密度は $0.1 \sim 1.0 \text{ MW}/\text{cm}^2$ 程度 (好ましくは $0.1 \sim 1.0 \text{ MW}/\text{cm}^2$) が必要である。そして、 $0.5 \sim 2.00 \text{ cm}^2/\text{s}$ 程度の速度でレーザビームに対して相対的にステージを動かして照射する。

【0090】しかしながら、本実施例では、結晶化を助長する金属元素を用いて非晶質結晶膜の結晶化を行ったため、前記金属元素が結晶質結晶膜中に残留している。そのため、前記結晶質結晶膜上に $90 \sim 100 \text{ nm}$ の非晶質結晶膜を形成し、加熱処理 (RTA法やフーニスアニール法を用いた熱アニール法) を行って、該非晶質結晶膜中に前記金属元素を拡散させ、前記非晶質結晶膜は加熱処理後にエッチングを行って除去する。このようにすることで、前記結晶質結晶膜中の金属元素の含有量を低減または除去することができる。

【0091】もちろん、レーザ結晶化のみを行った結晶質半導体膜を用いてTFTを作製することもできるが、金属元素を用いた結晶化法およびレーザ結晶化法を組み合わせた結晶質半導体膜の結晶性が向上しているため、TFTの電気的特性が向上するので望ましい。例えば、レーザ結晶化のみを行った結晶質半導体膜を用いてTFTを作製すると、移動度は $3.00 \text{ cm}^2/\text{V}$ 程度であるが、金属元素を用いた結晶化法およびレーザ結晶化法を行った結晶質半導体膜を用いてTFTを作製すると、移動度は $5.00 \sim 6.00 \text{ cm}^2/\text{V}$ 程度と著しく向上する。

【0092】また、半導体層 $402 \sim 406$ を形成した後、TFTのしきい値を制御するために微量な不純物元素 (ボロンまたはリン) のドーピングを行ってもよい。

【0093】次いで、半導体層 $402 \sim 406$ を覆うゲート絶縁膜 407 を形成する。ゲート絶縁膜 407 はプラズマCVD法またはスパッタ法を用いて、厚さを $40 \sim 150 \text{ nm}$ として結晶を含む絶縁膜で形成する。本実施例では、プラズマCVD法により 110 nm の厚さで、化学化結晶膜 (組成比S:1=3.2%、O=5.9%、H=7%、H=2%) で形成した。勿論、ゲート絶縁膜は化学化結晶膜に限定されるものでもない、他の結晶を含む絶縁膜を単層または積層構造として用いてもよい。

【0094】また、酸化結晶膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 40 Pa 、基板温度 $300 \sim 400^\circ\text{C}$ とし、高周波 (13.56 MHz) 電力密度 $0.5 \sim 0.8 \text{ W}/\text{cm}^2$ で放電させて形成することができる。このようにして作製される酸化結晶膜は、その後 $400 \sim 500^\circ\text{C}$ の熱アニールによりゲート絶縁膜として良好

25

な電気的特性を得ることができる。

【0095】次いで、ゲート絶縁膜 407 上に膜厚 $80 \sim 100 \text{ nm}$ の第1の導電膜 $408a$ と、膜厚 $100 \sim 800 \text{ nm}$ の第2の導電膜 $408b$ と、膜厚 $20 \sim 100 \text{ nm}$ の第3の導電膜 $408c$ を積層形成する。本実施例では、膜厚 30 nm のWN膜がちな第1の導電膜 $408a$ と、膜厚 370 nm のAl-Si膜がちな第2の導電膜 $408b$ と、膜厚 30 nm のTi-N膜がちな第3の導電膜 $408c$ とを積層形成する。

【0096】なお、本実施例では、第3の導電膜 $408c$ をWNとしたが、特に限定されず、第1の導電膜として、WやMoから選ばれた元素または前記元素を主成分とする合金もしくは化合物からなる導電層で形成してもよい。また、第2の導電膜 $408b$ をAl-Si膜としたが、特に限定されず、Alを主成分とする合金もしくは化合物からなる導電層で形成してもよい。また、第3の導電膜 $408c$ をTi-Nとしたが、特に限定されず、Tiや、Tiを主成分とする合金もしくは化合物からなる導電層で形成してもよい。

【0097】次に、フォトリソグラフィ法を用いてレジストからなるマスク $410 \sim 415$ を形成し、電極パターンの形成するための第1のエッチング処理を行う。第1のエッチング処理では第1のエッチング条件及び第2のエッチング条件で行う。 (図5 (b)) 本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合プラズマ) エッチング法を用い、エッチング用ガスにエッチング用ガスに Si と Cl_2 と O_2 とを用い、それ以外のガス流量は Si : 1.0 : 5 (sccm) とし、 $1 \sim 2^\circ\text{Pa}$ の圧力でコイル型の電極に 4.50 W のRF (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行う。基板面 (試料ステージ) にも 30 W のRF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりAl-Si膜およびTi-N膜のエッチングして第2の導電膜および第3の導電膜の露出をテーパー形状とする。また、この第1のエッチング条件によって、Al-Si膜およびTi-N膜のテーパーは、約 45° となるが、WN膜はほとんどエッチングされない。

【0098】この後、レジストからなるマスク $410 \sim 415$ を除去せずに第2のエッチング条件に切り換え、エッチング用ガスに CF_4 と Cl_2 と O_2 とを混合し、それ以外のガス流量比を Si : 5 : 5 : 30 (sccm) とし、 1°Pa の圧力でコイル型の電極に 500 W のRF (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行う。基板面 (試料ステージ) にも 20 W のRF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、ゲート絶縁膜上に残存するごくごくエッチングするために $3.0 \sim 2.0^\circ\text{Pa}$ の割合でエッチング時間を増加させるとよい。

【0099】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1乃至第3の導電層の縁部がテーパー形状となる。このテーパー部の角度は15°～45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層と第3の導電層からなる第1の形状の導電層417～422（第1の導電層417a～422aと第2の導電層417b～422bと第3の導電層417c～422c）を形成する。416はゲート絶縁膜であり、第1の形状の導電層417～422で覆われない領域は20～50nm程度エッチングされ肉くなった領域が形成される。

【0100】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。（図8（C））ここでは、エッチングガスにBCl₃とCl₂を用い、それぞれのガス流量比を20:50（sccm）とし、1.2Paの圧力でコイル型の電極に600WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板面（材料ステージ）にも1.00WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理では、A1—S—C層およびTiN層が選択的にエッチングされる。この時、第2のエッチング処理により第2の導電層428b～433bおよび第3の導電層428c～433cを形成する。一方、第1の導電層417a～422aは、ほとんどエッチングされず、第2の形状の導電層428～433を形成する。

【0101】このように第1のエッチング工程および第2のエッチング工程により、本発明の構成を利用したゲート電極428～431、保持電極の一方の電極432およびソース配線433が形成される。

【0102】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を低濃度に加える。ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーピング量を1×10¹⁸～5×10¹⁹/cm²とし、加速電圧を40～80keVとして行う。本実施例ではドーピング量を1.5×10¹⁸/cm²とし、加速電圧を60keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層428～433がn型を付与する不純物元素に対するマスクとなり、自己選択的に不純物領域423～427が形成される。不純物領域423～427には1×10¹⁸～1×10²⁰/cm²の濃度範囲でn型を付与する不純物元素を添加する。

【0103】レジストからなるマスクを除去した後、新たにレジストからなるマスク434a～434cを形成して第1のドーピング処理より高い加速電圧で第2の

ドーピング処理を行う。イオンドーピング法の条件はドーピング量を1×10¹⁸～1×10¹⁹/cm²とし、加速電圧を60～120keVとして行う。ドーピング処理は第2の導電層428b～432bを不純物元素に対するマスクとして用い、第1の導電層のテーパー部の下方の半導体層に不純物元素が添加されるようにドーピングする。従って、第2のドーピング処理より加速電圧を下げて第3のドーピング処理を行って図9（A）の状態を得る。イオンドーピング法の条件はドーピング量1×10¹⁸～1×10¹⁹/cm²とし、加速電圧を50～100keVとして行う。第2のドーピング処理および第3のドーピング処理により、第1の導電層と重なる低濃度不純物領域436、442、448には1×10¹⁸～5×10¹⁸/cm²の濃度範囲でn型を付与する不純物元素を添加する。高濃度不純物領域436、442、444、447には1×10¹⁹～5×10²⁰/cm²の濃度範囲でn型を付与する不純物元素を添加される。

【0104】もちろん、適当な加速電圧にすることで、第2のドーピング処理および第3のドーピング処理1回のドーピング処理で、低濃度不純物領域および高濃度不純物領域を形成することも可能である。

【0105】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク450a～450cを形成して第4のドーピング処理を行う。この第4のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域459、464、459、460を形成する。第2の導電層428a～432aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己選択的に不純物領域を形成する。本実施例では、不純物領域459、464、459、460はジボラン（B₂H₆）を用いたイオンドーピング法で形成する。（図9（B））この第4のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク450a～450cで覆われている。第1乃至第3のドーピング処理によって、不純物領域436、439にはそれぞれ異なる濃度のドーピングが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が1×10¹⁸～5×10²⁰/cm²となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0106】以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0107】次いで、レジストからなるマスク450a～450cを除去して第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを300～200nmとして結露を含む絶縁膜で形成する。本実施例では、プラズマCVD法により厚さ150nmの酸化窒素

29

基素膜を形成した。勿論、第1の層間絶縁膜461は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を半導体または積層構造として用いても良い。

【0108】次いで、図9、(C)に示すように、レーザビームを照射して、半導体層の結晶性の回復、およびそれぞれの半導体層に追加された不純物元素の活性化を行う。用いるレーザは、連続発振またはパルス発振のレーザまたは気体レーザまたは金属レーザが望ましい。特にYAGレーザを用いたレーザアニール法を行うのが好ましい。連続発振のレーザを用いるのであれば、レーザ光のエネルギー密度は、 $0.01 \sim 100 \text{ MW/cm}^2$ 程度（好ましくは $0.01 \sim 10 \text{ MW/cm}^2$ ）が必要であり、レーザ光に対して相対的に基板を、 $0.5 \sim 3000 \text{ cm/s}$ の速度で移動させる。また、パルス発振のレーザを用いるのであれば、周波数は 30 kHz とし、レーザエネルギー密度を $50 \sim 900 \text{ mJ/cm}^2$ （代表的には $50 \sim 500 \text{ mJ/cm}^2$ ）とするのが望ましい。このとき、レーザ光を $50 \sim 98\%$ オーバーラップさせても良い。また、第2の導電層において第1の層間絶縁膜に接する領域が十分に酸化していることにより、加熱処理を行ってもヒロックやアイスナール等の突起物が形成されない場合は、フッ素アニール法を用いる船アニール法やラビッドサーマルアニール法（RTA法）を適用することが出来る。

【0109】また、第1の層間絶縁膜を形成する前に加熱処理を行っても良い。ただし、用いた材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（珪素を主成分とする絶縁膜、例えば酸化珪素膜）を形成した後で活性化処理を行うことが好ましい。【0110】そして、加熱処理（ $300 \sim 450^\circ\text{C}$ で1～12時間の加熱処理）を行うと水素化を行うことが出来る。この工程は第1の層間絶縁膜461に含まれる水素により半導体層のダングリングボンドを終端する工程である。第1の層間絶縁膜の存在に因って半導体層を水素化する事が出来る。水素化の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）や、 $3 \sim 10\%$ の水素を含む雰囲気中で $300 \sim 450^\circ\text{C}$ で1～12時間の加熱処理を行っても良い。

【0111】次いで、第1の層間絶縁膜461上に無孔絶縁膜材料または有機絶縁膜材料から成る第2の層間絶縁膜462aを形成する。本実施例では、厚さ1.6μmのアクリル樹脂膜を形成した。粘度が $10 \sim 100 \text{ cP}$ 、好ましくは $40 \sim 200 \text{ cP}$ のものをを用い、凹面に凸凹が形成されるものを用いる。また、有機樹脂膜を用いない場合は図21で示すような形状の第2層間絶縁膜462bが形成される。

【0112】本実施例では、表面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜を形成することによって両素電極の表面に凸凹を形成した。また、両素電極の表面に凸凹を持たせて光散乱性を図るため、両素電

30

極の下方の領域に凸凹を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトリソ法で行うことができるため、工程数の増加なく形成することが出来る。なお、この凸凹は配線及びTFT層以外の両素電極の基板上に適宜設ければよい。こうして、凸凹を凹凹する絶縁膜の表面に形成された凸凹に沿って両素電極の開口に凸凹が形成される。

【0113】また、第2の層間絶縁膜462aとして凹面が平坦化する膜を用いてもよい。その場合は、両素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凸凹化させて、表面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

【0114】そして、駆動回路506において、各素子物領域とそれより電気的に接続する配線463～467を形成する。なお、これらの配線は、厚さ 50 nm のT1膜と、厚さ $50 \sim 100 \text{ nm}$ の合金膜（A1とT1との合金膜）との積層膜をパターンニングして形成する。もちろん、二層構造に限らず、単層構造でもよいし、三層以上の積層構造にしてもよい。また、配線の材料としては、A1とT1に限らない。例えば、TaN膜上にA1やCuを形成し、さらにT1膜を形成した積層膜をパターンニングして配線を形成してもよい。（図10B）

【0115】また、両素電極507においては、両素電極470でゲート配線468を、両素電極468を形成する。この両素電極468によりソース配線（463a～463cの積層）は、両素電極TFTと電気的な接続が形成される。また、ゲート配線469は、両素電極TFTのゲート電極と電気的な接続が形成される。また、両素電極470は、両素電極TFT下のドレイン領域462と電気的な接続が形成され、さらに保持電圧を形成する一方の電極として機能する半導体層466と電気的な接続が形成される。また、両素電極470としては、A1またはAgを主成分とする膜、またはそれらの積層膜等の反射性の高い材料を用いることが望ましい。

【0116】以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路503、及びnチャネル型TFT503を有する駆動回路506と、両素電極TFT504、保持電圧506とを有する両素電極507を同一基板上に形成することが出来る。こうして、アクティブマトリクス基板が完成する。

【0117】駆動回路506のnチャネル型TFT501は、pチャネル形成領域467、ゲート電極の一部を形成する第1の導電層468aと異なる性質の不純物領域463b（GOLD領域）、ソース領域またはドレイン領域として機能する高抵抗不純物領域462cを付している。このnチャネル型TFT501と電極466で構成したCMOS回路を形成するpチャネル型TFT502にはチャネル形成領域466、ソース領域またはドレイン領域として機能する高抵抗不純物領域462d、n型を付

与する不純物元素およびp型を付与する不純物元素が導入された不純物領域453を有している。また、nチャネル型TFT503にはチャネル形成領域443、ゲート電極の一部を構成する第1の導電層430aと盛る低濃度不純物領域442(GOLD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域456を有している。

【0118】画素部の画素TFT504にはチャネル形成領域446、ゲート電極の外側に形成される低濃度不純物領域445(LDD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域458を有している。また、保持容量505の一方の電極として機能する半導体層には、n型を付与する不純物元素およびp型を付与する不純物元素が添加されている。保持容量505は、絶縁層416を誘電体として、電極(432a、432bの積層)と、半導体層とで形成している。

【0119】本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が透光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0120】また、本実施例で作製するアクティブマトリクス基板の上面図を図11に示す。なお、図8〜図11に対応する部分には同じ符号を用いている。図10中の積層A〜Eは図11中の積層A〜Eで割断した断面図に対応している。また、図10中の積層B〜Dは図11中の積層B〜Dで割断した断面図に対応している。

【0121】このようにして作製された配線は低抵抗化が実現されており、該配線を有する配線基板は画素部の大面積化しても配線遅延等の問題が生じることなく、十分対応できるものとなっている。

【0122】なお、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることが可能である。

【0123】〔実施例6〕本実施例では、実施例5で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図18を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると考えらる。

【0124】まず、実施例5に従い、図10の状態のアクティブマトリクス基板を得た後、図10のアクティブマトリクス基板上、少なくとも画素電極470上に配向膜567を形成しラビング処理を行う。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をベタリングすることによって基板表面を保持するための柱状のスペーサ572を所望の位置に形成した。また、柱状のスペーサ572に代えて、球状のスペーサを基板全面に塗布してもよい。

【0125】次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、571、平坦化

膜573を形成する。赤色の着色層570と青色の着色層571とを重ねて、透光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、透光部を形成してもよい。

【0126】本実施例では、実施例5に示す基板を用いている。従って、実施例5の画素部の上面図を示す図11では、少なくともゲート配線469と画素電極470との隙間と、ゲート配線469と接続配線468との隙間と、接続配線468と画素電極470との隙間を透光部とすることがある。本実施例では、それらの透光すべき位置に着色層の積層からなる透光部が重なるように各着色層を配置して、対向基板を貼り合わせる。

【0127】このように、ブラックマスク等の透光部を形成することなく、各画素間の隙間を着色層の積層からなる透光部で透光することによって工程数の低減が可能となる。

【0128】次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜574を形成し、アクリル樹脂膜を塗布する。

【0129】そして、画素部と図面回路が形成されたアクティブマトリクス基板と対向基板とをシール部568で貼り合わせる。シール部568にはアクリル樹脂を塗布して、このアクリル樹脂と柱状のスペーサとによって一定の隙間を持って2枚の基板が貼り合わせられる。その上、両基板の間に液晶材料575を注入し、封止剤(図示せず)によって完全に封止する。液晶材料575には全面の液晶材料を用いばよい。このようにして図12に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所定の形状に分断する。さらに、対向基板のみに視光膜(図示しない)を貼りつける。そして、公知の技術を用いてPFCを貼りつける。

【0130】以上のようにして作製される液晶表示パネルは液晶電子機器の表示部として用いることが可能である。前記液晶表示パネルは、画素部において、図10の状態で下することなく、また、配線遅延等の問題が生じることなく、大面積化にも十分対応できるものとなっている。

【0131】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0132】〔実施例7〕本実施例では、実施例5で作製したアクティブマトリクス基板から、実施例5と同様なるアクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図13を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると考えらる。

【0133】まず、実施例5に従い、図8の状態のアクティブマトリクス基板を得た後、図8のアクティブマト

33

リタス基板に配向膜1067を形成しラビング処理を行う。なお、本実施例では配向膜1067を形成する前に、アクリル樹脂等の有機樹脂膜をバグーニングすることによって基板面を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0134】次いで、対向基板1068を用意する。この対向基板には、着色層1074、遮光層1075が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層1077を設けた。このカラーフィルタと遮光層1077とを覆う平膜化膜1076を設けた。次いで、平膜化膜1076上に透明導電膜からなる対向電極1069を画素部に形成し、対向基板の全面に配向膜1070を形成し、ラビング処理を施した。

【0135】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材1071で貼り合わせる。シール材1071にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持つ2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料1073を注入し、封止剤（図示せず）によって完全に封止する。液晶材料1073には公知の液晶材料を用いられ良い。このようにして図11に示すアクティブマトリクス型液晶表示装置が完成する。そして必要がなければ、アクティブマトリクス基板または対向基板を所望の形状に切断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼り付け。

【0136】以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。前記液晶表示パネルは、画素部において、開口率を低下することなく、また、配線遅延等の問題が生じることがないで、大面積化にも十分対応できるものとなっている。

【0137】なお、本実施例は実施例1乃至5のいずれか一つと自由に組み合わせることが可能である。

【0138】【実施例8】本実施例では、本発明を利用した駆動基板の一例として、実施例5で示したアクティブマトリクス基板を作製するときのTFTの作製方法を用いて、発光装置を作製した例について説明する。なお、説明では本発明の応用がないが、実施例5で作成されるアクティブマトリクス基板を用いているため、本発明は適用していると言える。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカラー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを指すものである。なお、発光素子は、電極を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物（発光層）と陰極層と；陰極層とを有する。また、有機化合物におけるルミネッセンスに、第一項

駆動部から基底状態に戻る際の発光（蛍光）と三重項状態から基底状態に戻る際の発光（リン光）があり、これらのうちどちらか、あるいは両方の発光を含む。

【0139】なお、本明細書中では、発光素子において陰極と陰極の間に形成された全ての層を有機発光層と位置する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陰極層、発光層、陰極層の順に積層された構造を有しており、この構造に加えて、(B)陰層、正孔注入層、発光層、陰極層等、陰極層、正孔注入層、発光層、電子輸送層、陰極層等の順に積層した構造を有していることもある。

【0140】図14は本実施例の発光装置の断面図である。図14において、基板700上に設けられたスイッチングTFT703は層10のnチャネル型TFT703を用いて形成される。したがって、構造の説明はpチャネル型TFT703の説明を省略するがよい。

【0141】なお、本実施例ではチャネル形成領域を二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であってもよい。

【0142】基板700上に設けられた駆動回路は10のCMOS回路を用いて形成される。従って、回路の説明はnチャネル型TFT703とpチャネル型TFT702の説明を省略すればよい。なお、本実施例ではダブルゲート構造としているが、トリプルゲート構造としてもよい。

【0143】また、配線704はソース配線706とスイッチングTFTのソース領域とを電気的に接続する配線として設けられ、配線705はドレイン配線707とスイッチングTFTのドレイン領域とを電気的に接続する配線として設けられる。

【0144】なお、電圧制御TFT704は層10のpチャネル型TFT702を用いて形成される。従って、構造の説明はpチャネル型TFT702の説明を省略すればよい。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であってもよい。

【0145】また、配線706は電圧制御TFT702のソース配線（電圧供給線に相当する）であり、707はスイッチングTFTのソース配線711上に形成することで図14の711と電気的に接続する配線である。

【0146】なお、711は、透明導電膜からなる透明電極（発光素子の陰極）である。透明導電化しては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明電極にガリウムを添加したものを用いてもよい。図14の

37

ことによりホットキャリア効果に起因する劣化に強いnチャネル型TFTを形成することができる。そのため、信頼性の高い発光装置を実現できる。

【0159】また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、γ補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリマイクロプロセッサをも形成しうる。

【0160】さらに、発光素子を保護するための封止（または封入）工程まで行った後の本実施例の発光装置について図15を用いて説明する。なお、必要に応じて図14で用いた符号を引用する。

【0161】図15(A)は、発光素子の封止までを行った状態を示す上面図、図15(B)は図15(A)をC-C'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けら

れる。【0162】なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基板（PWB）が取り付けられていてもよい。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0163】次に、断面構造について図15(B)を用いて説明する。基板700の上には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極710を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とpチャネル型TFT602とを組み合わせたCMOS回路（図14参照）を用いて形成される。

【0164】画素電極711は発光素子の陰極として機能する。また、画素電極711の高路にはバンク712が形成され、画素電極711上には発光層713および発光素子の陰極714が形成される。

【0165】陰極714は全面素子共通の配線としても機能し、接続配線904を經由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびバンプパターンの膜16で覆われている。

【0166】また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と

38

発光素子との間隔を確保するために樹脂膜からなるスペーサを設けてもよい。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としては湿気や酸素を遮断するのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させてもよい。

【0167】発光素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板の材料としてFRP（Fiberglass-Reinforced Plastic）、PVP（ポリビニルプロパイリド）、マイラー、ポリエステルまたはアクリルを用いることができる。

【0168】また、封止材907を用いてカバー材901を接着した後、封止材907の側面（端面）を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0169】以上のような構造で発光素子を封止材907に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。また、前記発光装置は、画素部において、開口を低下することなく、また、応答遅延等の問題が生じることのないので、大画面化にも十分対応できるものとなっている。

【0170】なお、本実施例は実施例1乃至5のいずれかと自由に組み合わせることが可能である。

【0171】〔実施例9〕本実施例では、実施例8とは異なる画素構造を有した発光装置について説明する。概明は図16を用いる。本実施例では本発明の配線がないが、本発明を適用して形成される配線を有するTFTを用いて作製するので、本発明を適用していると言え

る。【0172】図16では電流制御用TFT4501として図10のpチャネル型TFT502と同一構造のTFTを用い、スイッチング用TFT4402として図10の画素TFT504と同一構造のTFTを用いる。なお、電流制御用TFT4501のゲート配線はスイッチング用TFT4402のドレイン配線に電気的に接続されている。また、電流制御用TFTのドレイン配線は画素電極4504に電気的に接続されている。

【0173】本実施例では、導電膜からなる画素電極4504が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、同層膜の1度もしくは2度異なる元素からなる導電膜もしくはそれらの元素を添加した導電膜を用い、ばい

【0174】面素電極4504の上には発光層4506が形成される。なお、図16では一面素しか図示していないが、本実施例ではG（炭）に対応した発光層を蒸着法及び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電圧注入層として20nm厚のフッ化リチウム（LiF）膜を設け、その上に発光層として70nm厚のPPV（ポリパラフェニレンビレン）膜を設けた積層構造としている。

【0175】次に、発光層4505の上には透明導電膜からなる基層4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0176】この基層4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507とは、面素電極（陰極）4504、発光層4506及び基層4506から形成されたダイオードを指す。

【0177】発光素子4507を完全に覆うようにしてパッシベーション層4508を設けることは有効である。パッシベーション層4508としては、炭素膜、酸化窒素膜もしくは酸化窒素膜を含む絶縁膜からなり、絶縁膜を単層もしくは組み合わせた積層で用いる。

【0178】さらに、パッシベーション層4508の上に半導体材料4509を設け、カバー材4510を貼り合わせる。半導体材料4509としては炭素が好ましいが、炭素だけでなく、内部に吸収効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英基板、プラスチック基板（プラスチックフィルムを含む）の両面に炭素膜（好ましくはダイアモンドライクカーボン膜）を形成したものをいう。

【0179】このようにして作製された発光素子の配列は低抵抗化が実現できており、また、面素において、開口率を低下することなく、配列近接等の問題が生じることがないので、大面積化にも十分対応できるものとなっている。

【0180】なお、本実施例は実施例1乃至5のいずれかと自由に組み合わせることが可能である。

【0181】（実施例10）本実施例では、実施例6で作製したアクティブマトリクス基板とはTFT構造が異なる例を挙げ、本発明を用いて放電表示装置を作製した例について説明する。本実施例では本発明の記載がないが、本発明を適用して形成される配列を有するTFTを用いて作製するので、本発明を適用していると言える。

【0182】図18（A）にアクティブマトリクス基板は、nチャネル型TFT503とpチャネル型TFT502を有する駆動回路508と、面素TFT504と保持電圧505を有する面素部507とが形成されている。

【0183】これらのTFTは基層510にゲート配線512～517を形成したのち、前記ゲート配線の上に絶縁膜511を形成し、前記絶縁膜上の半導体層にチャネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。半導体層は実施例1～実施例5と同様に本発明を用いて形成する。

【0184】ゲート配線512～517は、その厚さを200～400nm、好ましくは250nmの厚さで形成し、その上層に形成する絶縁膜の技術（メタリパレラ）を向上させるために、絶縁膜をテーパー形状とるように形成する。テーパー部の角度は5～30度、厚さしくは15～25度で形成する。テーパー部はドライエッチング法で形成され、エッチングガスと基板側に印加するバイアス電圧によらず、その角度を制御する。

【0185】また、不純物領域は、第1乃至第3のドーピング工程によって形成する。第1のドーピング工程を行って、nチャネル型TFTのLDD（Lightly Doped Drain）領域を形成する。ドーピングの方法はオンドープ法若しくはイオン注入法で行えば良い。オンドープ法では、不純物元素（ドープ）としてリン（P）を添加し、マスクにより第1の不純物領域が形成される。そして、新たにnチャネル型TFTのLDD領域を形成するマスクを形成して、第2のドーピング工程はpチャネル型TFTのpソース領域及びpドレイン領域を形成して行う。

【0186】第3のドーピング処理により、pチャネル型TFTのソース領域及びドレイン領域を形成する。ドーピングの方法はオンドープ法若しくはイオン注入法でpドープを付与する不純物元素（アクセプタ）を添加すれば良い。このとき、nチャネル型TFTを形成する半導体膜にはマスクを形成するため、pドープを付与する不純物元素が添加されない。本実施例では、pチャネル型TFTにおいてLDD領域を作製していないが、もちろん、作製してもよい。

【0187】このようにして、nチャネル型TFT503にはチャネル形成領域504を、pチャネル型TFT502にはソース領域505とドレイン領域506を、pチャネル型TFT503とも同様に形成し、チャネル形成領域504、ソース領域505とドレイン領域506が形成されている。なお、本実施例ではインジウムゲート構造としているが、ゲート材料は銅やアルミニウムなどでもよい。

【0188】面素部507に設け、nチャネル型TFTで形成される面素部507は、nチャネル型TFTの構造を有するとしてマルチゲート構造で形成され、チャネル形成領域504の上面にLDD領域505を、ソース領域506のドレイン領域506が設けられている。

【0189】層間絶縁膜は酸化窒素膜、酸化シリコン、酸化窒素膜と酸化窒素膜の層間絶縁膜からなり、600～6000Åの厚さの第1の層間絶縁膜510と、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブタ

ン)などの有機絶縁体材料から成る第2の層間地鉄膜540により形成する。このように、第2の層間地鉄膜を有機絶縁体材料で形成することにより、表面を良好に平坦化させることができる。また、有機絶縁材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないもので、第1の層間地鉄膜540と組み合わせることで形成することが好ましい。

【0:19Q】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層上に形成されたソース領域またはドレイン領域に連するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスは CF_4 、 O_2 、 He の混合ガスを用いる有機樹脂材料から成る第2の層間絶縁膜5.4-1をまずエッチングし、その後、残ったエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜5.4-0をエッチングする。

【0191】本して、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッチングによって配線543～549を形成する。このようにして、アクティブマトリクス基板を形成することが出来る。

【01992】図1-8 アクティブマトリクス基板を用いて、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図1-8(a)はアクティブマトリクス基板と対向基板55とをセパレータ56で支え貼り合わせた状態を示している。最初に、図1-8(a)の枠①のアクティブマトリクス基板に上状のスペーサ551、552を形成する。面画素に重ねるスペーサ551は面画素毎のコンタクト部2にだけ設けられる。スペーサ552は用いる液晶材料にも依存するが、3~10μmの高さとする。コンタクト部2ではコンタクトホールに对应した凹部が形成されるので、この部分に合わせてスペーサを形成することでより液晶の配向の乱れを防ぐことが可能となる。その後、図1-9(a)より形成されるように、対向基板55には透明電極553を形成し、図1-9(b)より形成されるように、アクティブマトリクス基板と対向基板とを貼り合わせた液晶557を注入する。

、リクス基板を用いているため、本発明を適用していると
言える。

【0194】なお、本案施行例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0195】。【実施例11】本実施例では、実施例10で示したアクティブマトリクス基板を用いて、発光装置10を作製した例について説明する。本実施例では本発明の記載がないが、実施例10で作製されるアクティブマトリクス基板は、実施例10と同様に作製される。

【0196】図19では電流制御用TFT4501として図16のnチャネル型TFT503と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極はスイッチング用TFT4502のドレイン配線に電気的に接続されている。また、電流制御用TFT4501のドレイン配線は素子電極4504に電気的に接続されている。

10 【Q1-97】本実施例では、導電膜からなる面電阻14504が光素子の陰極として機能する。具体的に、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはその元素を含む合金膜を用いることができる。

【0.198】両面電極の厚さ4.0 μ m以上は発光層の60%が形成される。なお、図2.9.2は一面発光が図示しているが、本実施例ではG(1)に対応した発光層を圧印法及び蒸着法（好ましくは格点エボリューション法）により形成している。具体的には、電子注入層として20nm程度のフッ化リチウム（LiF）膜を成膜、その上に陽光電として20nm程度のAl₂O₃（ポリバクサロエネンビニール）膜を成膜したのち電極を成膜する。

【0199】次に、発光円4505の上には透明導電膜からなる層4506が設けられる。本実施例の〇合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0200】この基板4506まで形成された時点で、
光素子4507が完成する。なお、ここでいう発光素子
30 4507は、画素電極（第2）4504、発光層450
5及び基板4506で形成されたダイオード構造

【0201】 元光原子4,507を完全に脱うようとして
 パッシベーション膜4508を設けることは有効であ
 る。パッシベーション膜4508としては、炭素、窒
 化珪素膜もしくは窒化酸化珪素膜を含む炭素から成
 る、炭素膜を単層もしくは複層させた膜で良い。

【0202】さらに、バッチパーセンション値4.5のものを
封止材5.0gを添加、カパー44.5gと7.0gを限り含むもの
を、封止材4.5gと7.0gとは異なる組成の樹脂を用い
良く、内部に異なる効果を有する物質もしくは酸化防止
剤を有する物質を含むことは本発明の要旨外である。また、本
実施例においてはカパー44.5gはポリスチレン系またはア
マブラスチック系（ポリブタジエン・ポリブタジエン・
ブチル系）の両面に炭素膜（好ましくはグラファイト・カーボン
）を形成したものを指し、

【0203】このようにして作られた発光膜は、素子において、開口率を低くすることなく、また、配向不良等の問題が生じることがないので、大面積化にも十分対応できるものとなっている。

【0204】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0205】【図205】本発明を適用して、本発明を実施して形成された記録基板は様々な電気光学装置、アクティブマトリクス型液晶表示装置、アクティブマトリクス型LED表示装置、アクティブマトリクス型発光装置に用いることが出来る。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施出来る。

【0206】その様な電子機器としては、パーソナルコンピュータ、ディスプレイなどが挙げられる。それらの例を図20に示す。

【0207】図20(A)はパーソナルコンピュータであり、本体3001、画像入力部3002、表示部3003、キーボード3004等を含む。本発明を表示部3003に適用することができる。本発明を適用すれば、表示部3003の画面強化に対応できる。

【0208】図20(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレイヤーであり、本体3401、表示部3402、スピーカ部3403、記録媒体3404、操作メニュー3405等を含む。なお、このプレイヤーは記録媒体としてDVD(Digital Versatile Disc)、CD(Compact Disc)、CD-R(Rewritable Compact Disc)等を用い、その記録媒体に音楽データやインターネットを格納することができ、本発明を適用すれば、表示部3402の画面強化に対応できる。

【0209】図20(C)はディスプレイであり、本体4101、支持台4102、表示部4103等を含む。本発明は表示部4103に適用することができる。本発明のディスプレイは特に大画面化した場合において十分対応できる構成となっている。特に対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0210】以上の様に、本発明の適用範囲は極めて広大であり、あらゆる電子機器に適用することが可能である。また、本実施例の電子機器は実施例1-4.1のどのプログラムを用いたとしても効果を用いて実現することが出来る。

【0211】本発明の効果が適用することにより、以下に示すような有益な効果を奏することが出来る。

(a) 従来の液晶表示装置の作製プロセスに適合した、画質の向上が実現される。

(b) 従来の液晶表示装置の作製プロセスに適合した、画質の向上が実現される。そのため、設計の自由度および画素部における開口率の向上が可能となる。

る。

(c) カバレッジを良好なものとする事ができる。
(d) 以上の利点を満たした上で、アクティブマトリクス型の液晶表示装置に代表される半導体装置において、画素部の面積が大きくなり大画面化しても十分に対応することが可能となり、該半導体装置の動作特性および信頼性を向上させることを可能とする。

【図面の簡単な説明】

【図1】 本発明の概念の例を示す図。

【図2】 本発明を適用して作製した記録の形状の例を示す図。

【図3】 本発明を適用して作製した記録の形状の模式図を示す図。

【図4】 本発明を適用して作製した記録の形状の例を示す図。

【図5】 本発明を適用して作製した記録の形状の例を示す図。

【図6】 本発明を適用して作製した記録の形状の例を示す図。

【図7】 本発明の概念の例を示す図。

【図8】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図9】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図10】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】 画素TFTの構成を示す上面図。

【図12】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図13】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図14】 発光装置の駆動回路及び画素部の断面構造図。

【図15】 (A) 発光装置の上面図、(B) 発光装置の駆動回路及び画素部の断面構造図。

【図16】 発光装置の駆動回路及び画素部の断面構造図。

【図17】 本発明の概念の例を示す図。

【図18】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

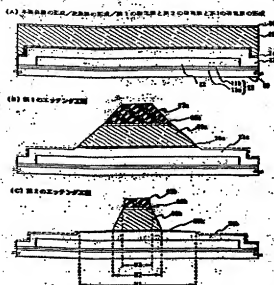
【図19】 発光装置の画素部の断面構造図。

【図20】 半導体装置の例を示す図。

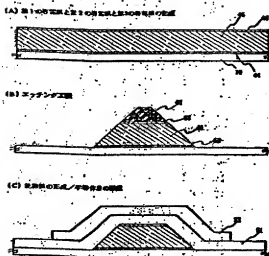
【図21】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図22】 第1のエッチング条件により形成される導電層の形状の例を示す図。

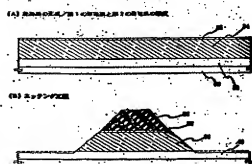
【図1】



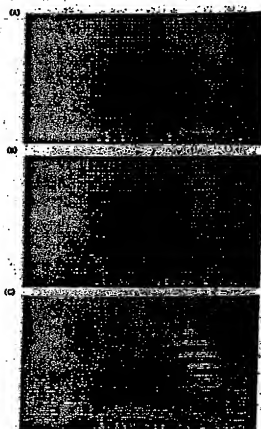
【図7】



【図3】

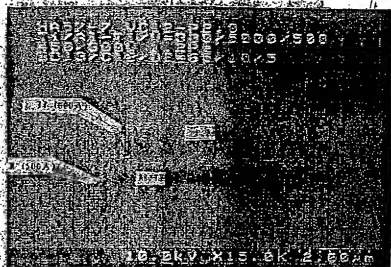


【図5】

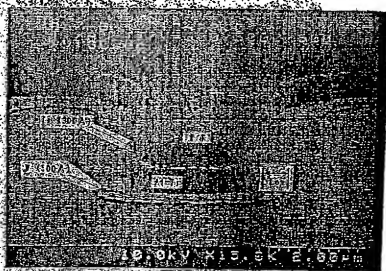


【図2】

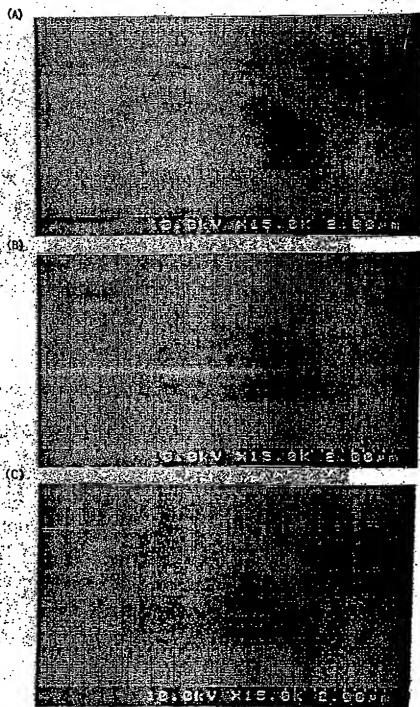
(a)



(b)

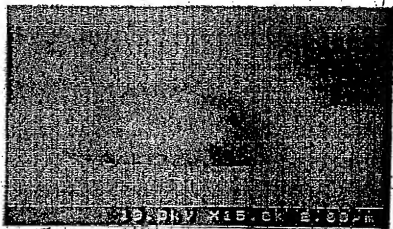


【図4】

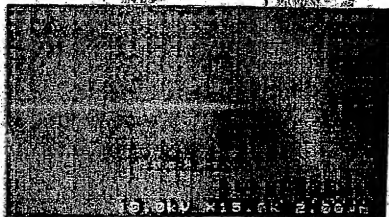


[26]

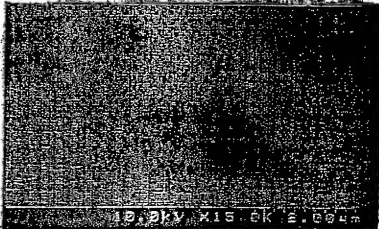
(a)



(b)



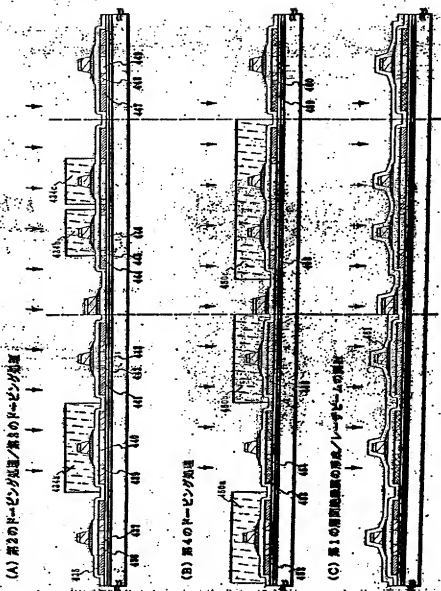
(c)



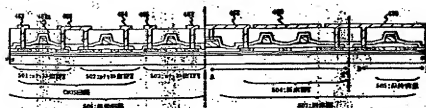
【圖 8】



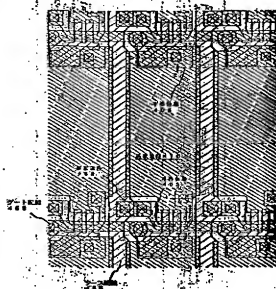
【図9】



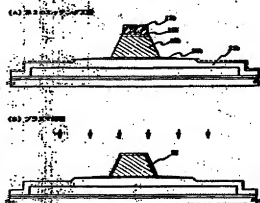
【図10】



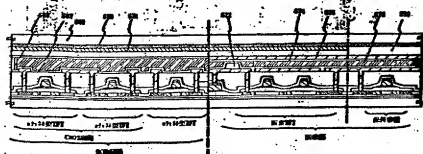
【図11】



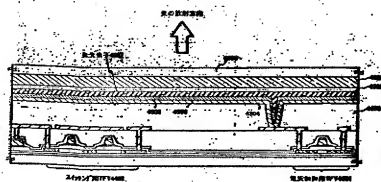
【図17】



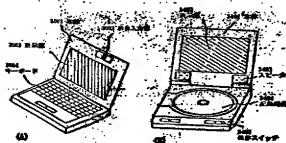
【図12】



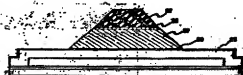
【図16】



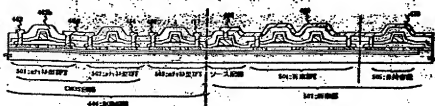
【図20】



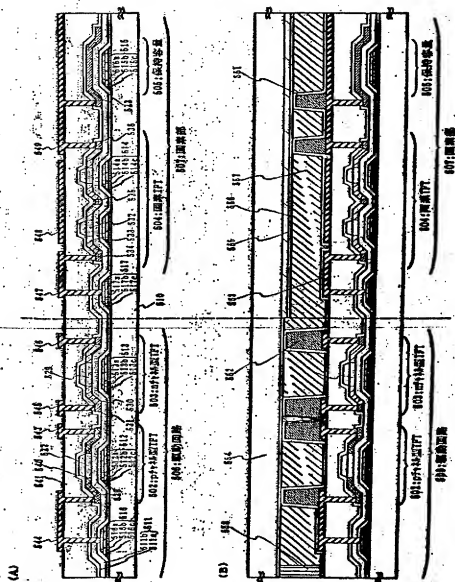
【図22】



【図21】



[1 8]



(72)発明者 橋山 義弘
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

//
//

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.